

PAT-NO: JP02000269473A

DOCUMENT-IDENTIFIER: JP 2000269473 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE
THEREOF

PUBN-DATE: September 29, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
KANEDA, OSAMU	N/A
SHIKAMA, SHOZO	N/A
SEKIGUCHI, AKIRA	N/A
FUJINO, JUNICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP11071703

APPL-DATE: March 17, 1999

INT-CL (IPC): H01L027/14, G02F001/1335 , G02F001/136 , H01L021/318

ABSTRACT:

PROBLEM TO BE SOLVED: To effectively prevent malfunction and a reduction in capability of highly integrated semiconductor elements with high ability of

shielding stray light, by coating a light-absorption film having a specific light-absorption rate on the surfaces of metallic layers other than a top layer.

SOLUTION: Above a pixel transistor 2 formed on the surface of a silicon substrate, a metallic wire layer 52 made of a material such as aluminum is formed so as to cover a source area 21 and a drain area 22 via a first interlayer insulation film 51. A light-absorption film 53 is provided on the surface of the metallic wire layer 52. A light-shielding layer 55 is provided on the surface of the metallic wire layer 52, which includes light-absorption film 53, via a second interlayer insulating film 54. The light-shielding layer 55 is composed of a metallic film made of a material such as aluminum and is integrally formed with an adjacent pixel part. And then, silicon nitride is coated as a reflection suppressing film on the light-absorption film 53 made of TiN so as to increase a light-absorbing rate to 90% or more. Consequently, it is possible to prevent the occurrence of leakage current that is resulted from stray light transmitting the insulation layers formed between the metallic wire layers and so on.

COPYRIGHT: (C)2000,JPO

【特許請求の範囲】

【請求項1】 層間絶縁膜を介して積重ねた複数の金属層を備える半導体装置において、最上層の前記金属層の下に位置する前記金属層の表面に光吸収率が90%以上の光吸収膜を被着したことを特徴とする半導体装置。

【請求項2】 前記光吸収膜を最上層に位置する前記金属層の直下にある金属層表面に設けたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記光吸収膜はチタンと窒化チタンを積層してなり、前記窒化チタンの膜厚が0.6 μ m~1.5 μ mであることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記光吸収膜はチタン、窒化チタンおよびシリコン窒化物を積層してなり、前記窒化チタンの膜厚が0.5 μ m以上、前記シリコン窒化物の膜厚が0.1 μ m以下であることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項5】 前記光吸収膜を被着した前記金属層およびその上層の前記金属層を前記半導体装置を形成した基板上に形成した回路領域および画素領域の外側へ前記層間絶縁膜の厚さの67倍以上せりだすように形成したことを特徴とする液晶駆動用の請求項1または請求項2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンチップベースド反射型液晶装置、CCD型撮像装置、MOS型撮像装置等のように半導体素子表面に光を照射する半導体装置に関し、特に半導体素子内部の回路が照射した光によって誤動作や性能低下をおこさないようにした半導体装置に関する。

【0002】

【従来の技術】半導体素子に光を照射した場合、P/Nジャンクションに光電効果によるリーク電流が流れる。このリーク電流が大きいと半導体回路の誤動作がおこる。DRAMなどの半導体装置は光の透過しないパッケージに収納するため、この種の問題は生じない。しかし、固体撮像装置や液晶装置のように表面に光を照射するものでは誤動作や性能低下を防止するために遮光等を施している。

【0003】例えば、CCD固体撮像装置では信号電荷転送のための垂直CCD上部に遮光のための金属光シールド層を設けて入射光にさらされないようにしており、MOS固体撮像装置では各素子のドレインに接続する金属信号線によってドレインおよびチャンネル部分を覆い遮光している。

【0004】図6は特公昭61-43712号公報に記載された画像表示装置用半導体装置の単位画素部分における断面図である。各画素は液晶セル1、MOSTランジスタ2、蓄積用コンデンサ3の基本構成要素を備えお

り、液晶セル1を通過して散乱した迷光によりシリコン基板が照射され、光導電効果による各種リーク電流の生成を避けるため、液晶セル1を構成する反射金属電極11と蓄積用コンデンサ3を構成するコンデンサ電極31とを第1の絶縁膜41と第2の絶縁膜42とで分離し、第1の絶縁膜41と第2の絶縁膜42との間に金属層43を配置して光シールドとし、第1の絶縁膜41、第2の絶縁膜42および金属層43に開口部を設けて反射金属電極11とコンデンサ電極31とを接続している。このような構成によって10万lx程度（太陽光程度）の光にさらされても遮光の効果があるとしている。

【0005】

【発明が解決しようとする課題】プロジェクターで用いられるシリコンチップベースド反射型液晶素子のように100万lxを超える強力なランプ光源にさらされるものではより遮光効果が高い構造が求められる。このような要請に対して特開平8-304819号公報や特開平10-163209号公報などでは、例えば反射金属電極11の隙間から漏れ込み反射金属電極11と金属層43の間の絶縁膜42中を多重反射しながらMOSTランジスタ2に達する迷光を金属層43の表面に設けたTiNによる光吸収膜で減衰させ、より高い遮光効果を実現する方法を提案している。

【0006】しかし、上記のような構成はいずれも反射光が幾何光学的に伝播していくものとして遮光構造を構築している。ところが、半導体装置の高集積化にともない、微細パターンの隙間から漏れ込む迷光については回折の概念を導入しないと適切な遮光能力の評価ができない状態が生じている。すなわち、反射金属電極11の隙間から入射する迷光に開口部で回折が発生するため、少ない回数の多重反射成分が生じ十分減衰できない。そのため、上記提案が主張する遮光効果が得られず高集積化の進んだ半導体素子の誤動作、性能低下が発生している。

【0007】

【課題を解決するための手段】本願の発明は、層間絶縁膜を介して積重ねた複数の金属層を備える半導体装置において、最上層以外の金属層表面に光吸収率が90%以上の光吸収膜を被着したものである。

【0008】また、光吸収膜を最上層に位置する金属層の直下にある金属層表面に設けたものである。

【0009】また、光吸収膜はチタンと窒化チタンを積層してなり、窒化チタンの膜厚が0.6 μ m~1.5 μ mとしたものである。

【0010】また、光吸収膜はチタン、窒化チタンおよびシリコン窒化物を積層してなり、窒化チタンの膜厚を0.5 μ m以上、シリコン窒化物の膜厚を0.1 μ m以下としたものである

【0011】また、光吸収膜被着した金属層およびその上層の金属層を半導体装置を形成した基板上に形成した

回路領域および画素領域の外側へ層間絶縁膜の厚さの67倍以上せりだすように形成したものである。

【0012】

【発明の実施の形態】実施の形態1. 以下、この発明をその実施の形態を示す図を用いて具体的に説明する。図1はこの発明の第1の実施形態であるシリコンチップベースド反射型液晶装置の単一画素部分を示す断面図である。シリコン基板表面に形成した画素トランジスタ2の上部に第1の層間絶縁膜51を介してソース領域21およびドレイン領域22を覆う例えばアルミの金属配線層52を形成し、この金属配線層52の表面には光吸収膜53を備えている。光吸収膜53を備えた金属配線層52の上部には第2の層間絶縁膜54を介して例えばアルミの金属膜からなり隣接する画素部分と一体的に形成した光シールド層55が覆っている。光シールド層55の表面には金属配線層52と同様の光吸収膜53を備えている。この光吸収膜53を備えた光シールド層55の上部には第3の層間絶縁膜56を介して各画素毎に独立した例えばアルミの画素電極11を備え、画素電極11と金属配線層52とは光シールド層55を貫通するビアホール57中に形成したコンタクト58を介し接続している。さらにパッシベーション膜12を介して液晶13と、この液晶と対向する面に透明電極14を備えたガラス板15が積層されシリコンチップベースド反射型液晶装置を形成している。なお、光シールド層55をアルミで形成する場合、その遮光性能は厚さが約100nmあれば十分である。

【0013】次に、光吸収膜について説明する。光吸収膜53は金属配線層52および光シールド層55上のTiとTiNからなる複合層であり、スパッタ法によって金属配線層52および光シールド層55上にTi層を形成後、N₂またはNH₃中でアニールしてTiN層を生成するか、反応性スパッタ法によってTi層上にTiN層生成するなどの方法によって形成する。本願発明者はTiN層の膜厚と光吸収率の関係を調べ、図2に示すように膜厚が60~150nmの範囲で光吸収率が特異的に大きくなることを見いだした。すなわち、光吸収率は膜厚が約60nmまでは膜厚に略比例して増加し、さらに膜厚約80nmで最大の光吸収率94%に達するが、膜厚をさらに増加させると漸減して、膜厚150nm以上では窒化チタンと層間絶縁膜であるSiO₂の界面での反射が支配的になり光吸収率は略一定の94%となる。このことから、TiN層の膜厚を60~150nmとするのがもっとも効果的である。なお、金属配線層52上の光吸収膜と光シールド層55上の光吸収膜とが同等のものとして説明したが、光シールド層55上の光吸収膜によって十分な迷光の減衰が得られれば金属配線層52上の光吸収膜の光吸収率が光シールド層55上の光吸収膜のそれより小さなものであってもよく、さらには金属配線層52上の光吸収膜がなくてもよいことはい

までもない。さらに、金属配線層52が単層であるものとして説明したが、複数の配線層を備えた半導体装置に適用してもよく、光シールド層55を備えない半導体装置の場合に単層または複数層の金属配線層上に本願発明による光吸収膜を設けてもよいことはいまでもない。ただし、金属配線層の隙間から層間絶縁層に漏れ込んだ迷光が回折によって拡散しより広い領域に影響が及ぶことを防ぐため、最上層に位置する金属層の直下にある金属層の表面に光吸収膜を設けるのがもっとも望ましい。

10 【0014】特開平8-304819号公報に記載された遮光構造における光吸収率を65%とし、本願発明による遮光構造と比較した実験結果を図3に示す。図はそれぞれの遮光構造をもつ画素の液晶セルおよび蓄積用コンデンサに一定の信号電位を書込み、フレーム周波数30Hzの周期に相当する期間が経過した後の画素電位と書き込み電位との差を電位低下として図示したものである。図からわかるように、照度150W/Lxでは本願発明による遮光構造を用いることによって、画素電位の低下を従来の10分の1程度まで抑制できることがわか

20 る。【0015】本願発明によるシリコンチップベースド反射型液晶装置の半導体素子は、フィールド形成、トランジスタ形成、第1層間絶縁膜形成、コンタクト形成、金属配線層形成、光吸収膜形成、第2層間絶縁膜形成、光シールド層形成、光吸収膜形成、第3層間絶縁膜形成、ビアホール形成、コンタクト形成、画素電極形成、パッシベーション膜という従来から用いられているプロセスフローを適用でき、公知のLSI製造技術で実現可能である。

30 【0016】以上の説明でわかるように、光吸収膜の光吸収率は窒化チタンと層間絶縁膜であるSiO₂の界面での反射が寄与していることから、この界面での反射を抑制することによってさらに光吸収率を大きくすることが可能である。本願発明者は上記界面に特定の反射抑制膜を被着することによってさらに光吸収率を大きくできることを発見した。すなわち、TiNの光吸収膜上に厚さ40~100nmのシリコン窒化物を反射抑制膜として被着することにより、最大の光吸収率が約99%まで増加した。この様子を図4に示す。

40 【0017】以上の説明では、光吸収膜としてTiNを用いるものとしたが、窒化タンタル、窒化モリブデン、窒化タングステン、カーボン等を用いて90%以上の光吸収率を実現できる。光吸収率を90%以上にすれば、従来より画素電位の低下を大幅に抑制でき、より性能の優れたシリコンチップベースド反射型液晶装置を実現できる。

50 【0018】以上の説明は、シリコンチップベースド反射型液晶装置の半導体素子に対して行ったが、金属配線層等の間に形成した絶縁層の中を伝播する迷光によって生じるリーク電流の生成を防止する目的に適用して効果

が得られることはいうまでもなく、複数の金属配線層を有するCCD型撮像装置やMOS型撮像装置等のように半導体素子表面に光を照射する半導体装置においても、光を直接照射しない配線層の表面に光吸収率が90%以上の光吸収膜を形成することによって、迷光をきわめて効果的に減衰させることができる。

【0019】実施の形態2. 次に、本発明に係る第2の実施形態を説明する。図5は第2の実施形態を示す半導体装置の平面図である。画素電極の周辺部と光シールド層とを回路領域および画素領域の外側へ約100 μ m 10 せりだすように設けている。このように構成することによって、液晶素子の側から例えば45度の角度で入射した迷光は、画素電極の周辺部と光シールド層の間の厚さが約1.5 μ mの層間絶縁膜で約67回多重反射することになり、走査回路および画素トランジスタに到達する迷光を十分減衰させることができ、光学素子の外につける遮光板等が省略しても、高集積化した半導体装置の誤動作、性能低下が防止できる。もちろん、回折によって生じる少ない回数の多重反射成分が生じて光吸収率が90%以上の光吸収膜の存在によって迷光が減衰し十分 20 な遮光効果が得られる。画素電極の周辺部と光シールド層の回路領域および画素領域の外側へのせりだし量は両者の間に介在する層間絶縁膜の厚さに応じて増減しても同等の効果が得られることはいうまでもない。上記した回路領域および画素領域の外側へのせり出し量100 μ mは層間絶縁膜の厚さ約1.5 μ mの67倍に相当する。

【0020】

【発明の効果】第1、2の発明に係る半導体装置においては、迷光の遮光能力が高く、高集積化した半導体素子 30 の誤動作、性能低下を有効に防止できる。

【0021】第3、第4の発明に係る半導体装置におい

ては、従来と同等のLSI製造プロセスを用いることができ、特別な装置を必要とせず高い能力の遮光/光吸収構造を安価に実現できる。さらに、150万Lx以上の照度のもとでは従来の遮光構造に比べて画素電位の低下が10分の1程度になり、強力な光照射があっても十分に安定して動作可能な半導体装置を実現できる。

【0022】第5の発明に係る半導体装置においては、回路領域および画素領域以外に光が当たっても、迷光を十分に減衰できるので、光学素子の外につける遮光板等 10 が省略できる。

【図面の簡単な説明】

【図1】 この発明によるシリコンチップベースド反射型液晶装置の単一面素部分を示す断面図である。

【図2】 この発明による光吸収膜におけるTiNの厚さと光吸収率の関係を示すグラフである。

【図3】 この発明によるシリコンチップベースド反射型液晶装置の画素電極の照射照度に対する電位低下の状態を示すグラフである。

【図4】 図2の光吸収膜上にシリコン窒化物を被着したときのTiNの厚さと光吸収率の関係を示すグラフである。

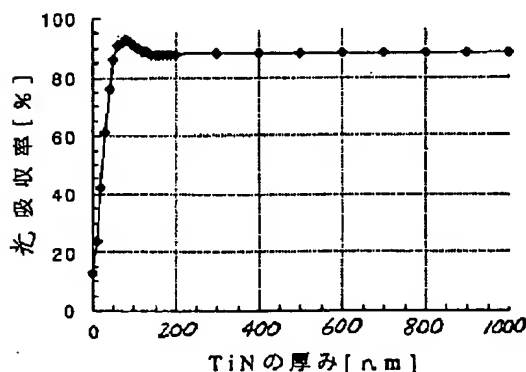
【図5】 この発明の第2の実施形態である半導体装置の平面図である。

【図6】 従来の画像表示装置用半導体装置の単位画素部分における断面図である。

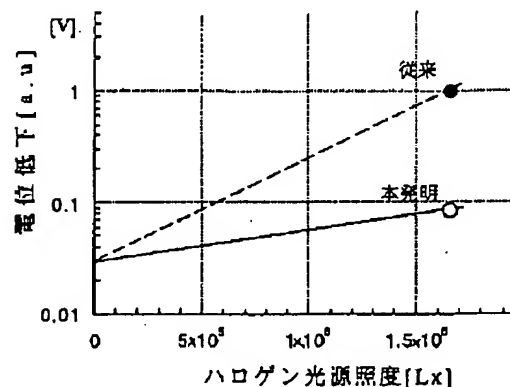
【符号の説明】

- 1...シリコンチップベースド反射型液晶装置、11...画素電極
- 2...画素トランジスタ、51、54、56...層間絶縁膜
- 52...金属配線層、53...光吸収膜、55...光シールド層

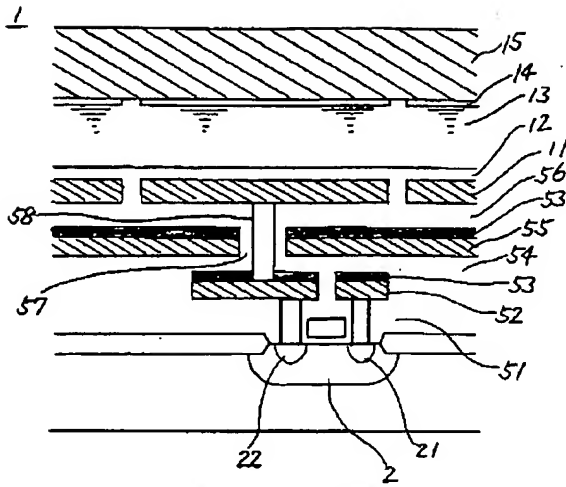
【図2】



【図3】

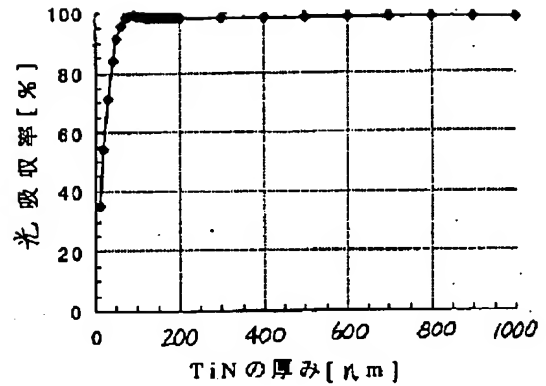


【図1】

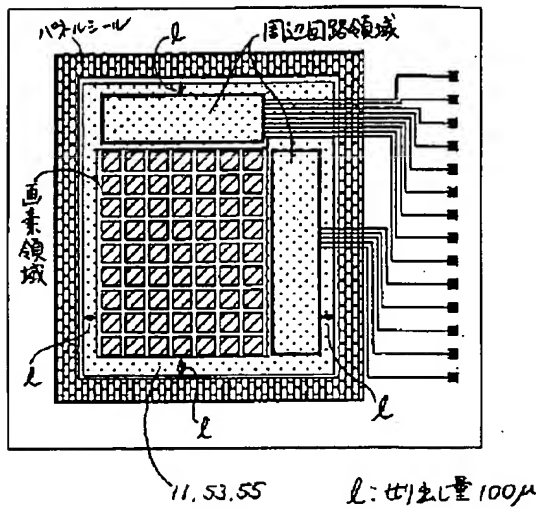


- 1 シリコンチップバースト反転型液晶装置
 11 画素電極 13 液晶 15 ガラス板
 2 画素トランジスタ
 51, 54, 56 層間絶縁膜
 52 金属配線層 53 光吸収膜
 55 光シールド層

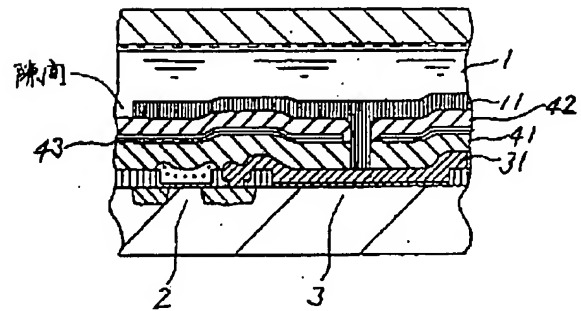
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 関口 暁
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

(72)発明者 藤野 順一
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

Fターム(参考) 2H091 FA34Y FB06 FB08 FD06
GA13 LA03 LA30
2H092 JB51 KB25 MA05 MA26 NA25
PA09
4M118 AA05 BA10 BA14 GB03 GB11
GB18
5F058 BA20 BB04 BB07 BC08 BJ01
BJ02